

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-335617**
(43)Date of publication of application : **24.11.1992**

(51)Int.Cl.

G02F 1/136**G02F 1/1343****H01L 27/12****H01L 29/784**

(21)Application number : **03-107647**
(22)Date of filing : **13.05.1991**

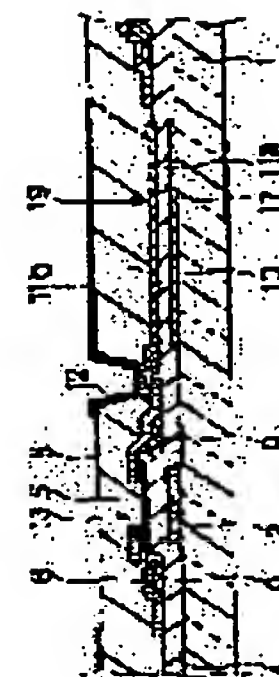
(71)Applicant : **SHARP CORP**
(72)Inventor : **UJIMASA HITOSHI**
TANAKA HIROHISA

(54) ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To provide the active matrix substrate which is equipped with an additional capacitor with a large capacity value and has a large aperture rate.

CONSTITUTION: An additional capacity electrode 17 is formed on an insulating substrate 1 and a gate insulating film 4 is formed thereupon. A 1st picture element electrode 11a is formed on the gate insulating film 4 and the additional capacity 19 is formed between the additional capacity electrode 17 and 1st picture element electrode 11a. An inter-layer insulating film 10 is formed covering the 1st picture element electrode 11a and a TFT 13 connected thereto and a 2nd picture element electrode 11b is formed on the inter-layer insulating film 10. The 2nd picture element electrode 11b is connected to the drain electrode 8 of the TFT 13 through a contact hole 12 formed in the inter-layer insulating film 10. The 2nd picture element electrode 11b overlaps with a gate bus electric conductor and a source bus electric conductor connected to the TFT 13 across the inter-layer insulating film 10.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-335617

(43) 公開日 平成4年(1992)11月24日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/78	3 1 1 A
			審査請求	未請求 請求項の数3 (全 5 頁)

(21) 出願番号 特願平3-107647

(22) 出願日 平成3年(1991)5月13日

(71) 出願人 000005049

シヤープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 氏政 仁志

大阪市阿倍野区長池町22番22号 シヤープ株式会社内

(72) 発明者 田仲 広久

大阪市阿倍野区長池町22番22号 シヤープ株式会社内

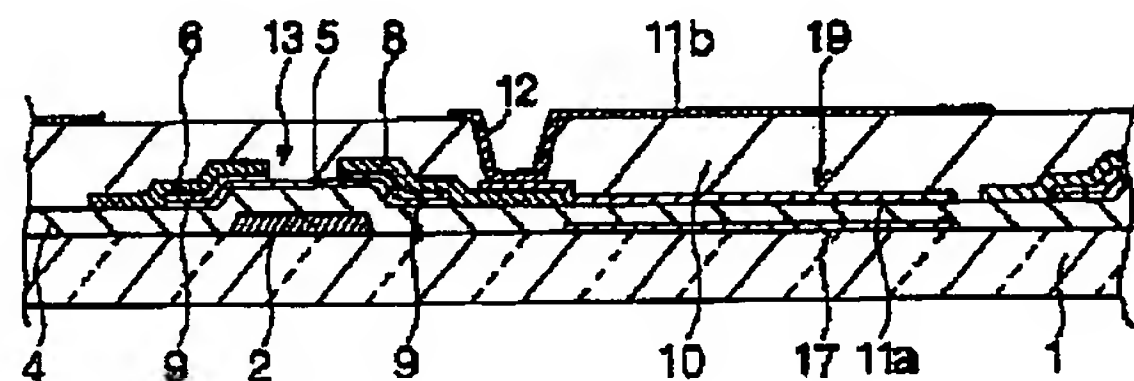
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【要約】

【目的】 大きな容量値を有する付加容量を備え、しかも開口率の大きなアクティブマトリクス基板を提供することである。

【構成】 絶縁性基板1上に付加容量電極17を形成し、その上にゲート絶縁膜4を形成する。ゲート絶縁膜4上に第1絵素電極11aを形成し、付加容量電極17と第1絵素電極11aとの間に付加容量19を形成する。第1絵素電極11aとこれに接続されたTFT13を覆って層間絶縁膜10を形成し、層間絶縁膜10上に第2絵素電極11bを形成する。第2絵素電極11bは層間絶縁膜10に設けられたコンタクトホール12を介してTFT13のドレイン電極8に接続されている。第2絵素電極11bは層間絶縁膜10を挟んでTFT13に接続されたゲートバス配線及びソースバス配線上にも一部重畳されている。



1

【特許請求の範囲】

【請求項1】絶縁性基板上に形成された付加容量電極と、該付加容量電極上に形成された絶縁膜と、該付加容量電極に該絶縁膜を挟んで対向する第1絵素電極と、該第1絵素電極に接続された出力端子を有するスイッチング素子と、該スイッチング素子及び該第1絵素電極上に形成された層間絶縁膜と、該層間絶縁膜に形成されたコンタクトホールと、該コンタクトホールを介して該スイッチング素子の該出力端子に電氣的に接続された第2絵素電極と、を有するアクティブマトリクス基板。

【請求項2】前記スイッチング素子に接続された走査線を更に有し、前記第2絵素電極が該走査線に重畳されているアクティブマトリクス基板。

【請求項3】前記スイッチング素子に接続された信号線を更に有し、前記第2絵素電極が該信号線に重畳されているアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶等の表示媒体と組み合わせてマトリクス型の表示装置を構成するためのアクティブマトリクス基板に関する。

【0002】

【従来の技術】アクティブマトリクス型表示装置は、高いコントラストを有し、絵素数が制約されない等の利点がある。そのため、アクティブマトリクス表示装置に用いられるアクティブマトリクス基板に関する研究が盛んに行われている。しかし、アクティブマトリクス基板の構造は複雑であり、光の利用効率（開口率）が低く、表示画面が暗いという欠点がある。

【0003】

【発明が解決しようとする課題】このような欠点を解決したアクティブマトリクス基板の部分平面図を図6に、図6のB-B線に沿った断面図を図7に示す。このアクティブマトリクス基板は、ガラス等の絶縁性基板1と、基板1上に形成された薄膜トランジスタ（以下「TFT」という）13とを有している。図6に示すように、TFT13のゲート電極2はゲートバス配線3に接続され、TFT13のソース電極6はソースバス配線7に接続されている。絵素電極11はTFT13のドレイン電極8に接続され、ゲートバス配線3及びソースバス配線7上にも重畳されている。また、絵素電極11には後述のゲート電極4及び層間絶縁膜14を挟んで付加容量電極17が対向している。絵素電極11と付加容量電極17との間に付加容量19が形成されている。付加容量電極17は付加容量配線18に接続されている。

【0004】このように、絵素電極11がゲートバス配線3及びソースバス配線7に重畳して形成されているアクティブマトリクス基板の構成は、特に反射型表示装置の開口率を増大させるのに有効である。

【0005】図6及び図7に示すアクティブマトリクス

2

基板の製造方法を図8及び図9に示す。まず、ガラス等の絶縁性基板1上に、Ta、Cr等からなるゲートバス配線3及びゲート電極2を形成する。次に、ITO（Indium Tin Oxide）等の透明導電膜からなる付加容量電極17及び付加容量配線18を形成する。次に、SiN_x、SiO_x等からなるゲート絶縁膜4、P（リン）をドープしたn⁺型のアモルファスシリコン（以下では「a-Si」という）層からなるコンタクト層9、9、及びa-Si層からなる半導体層5を形成する。次に、Mo、Ti、Al等からなるソース電極6、ドレイン電極8、及びソースバス配線7を形成する（図8）。以上により、TFT13が完成する。

【0006】次に、ポリイミド、アクリル樹脂等からなる層間絶縁膜10を基板1上の全面に形成し、ドレイン電極8に対応する層間絶縁膜10の部分にコンタクトホール12を形成する（図9）。更に、ITO膜を基板1上の全面に形成しパターニングを行って、絵素電極11を得る（図7）。これにより、絵素電極11はコンタクトホール12を介してTFT13のドレイン電極8に電氣的に接続される。また、前述のように、絵素電極11と付加容量電極17との間に付加容量19が形成される。

【0007】このようなアクティブマトリクス基板では、各絵素電極11に接続されたゲート電極2にゲートオンの信号を印加し、ソース電極6からドレイン電極8を介して絵素電極11に画像信号が書き込まれる。次に、ゲートオフの信号がゲート電極2に出力され、次にゲートオンの信号が印加されるまでの1フレームの間、書き込まれた画像信号が保持される。絵素電極11と付加容量電極17との間に形成される付加容量19は、この画像信号を保持する機能を果たしている。

【0008】ところが、付加容量19を構成している絵素電極11と付加容量電極17の間には、ゲート絶縁膜4と層間絶縁膜10が存在するため、付加容量19はゲート絶縁膜4による容量と層間絶縁膜10による容量とが直列に配列された構成を有することとなり、付加容量19の容量値は小さくなってしまふ。そのため、このアクティブマトリクス基板を用いた表示装置では、コントラストの低下などの画像品位の低下が生ずることになる。

【0009】本発明はこのような問題点を解決するものであり、本発明の目的は、大きな容量値を有する付加容量を備え、しかも開口率の大きなアクティブマトリクス基板を提供することである。

【0010】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、絶縁性基板上に形成された付加容量電極と、該付加容量電極上に形成された絶縁膜と、該付加容量電極に該絶縁膜を挟んで対向する第1絵素電極と、該第1絵素電極に接続された出力端子を有するスイッチン

3

グ素子と、該スイッチング素子及び該第1絵素電極上に形成された層間絶縁膜と、該層間絶縁膜に形成されたコンタクトホールと、該コンタクトホールを介して該スイッチング素子の該出力端子に電氣的に接続された第2絵素電極と、を有しており、そのことによって上記目的が達成される。

【0011】また、前記スイッチング素子に接続された走査線を更に有し、前記第2絵素電極が該走査線に重畳されている構成とすることができる。

【0012】また、前記スイッチング素子に接続された10 信号線を更に有し、前記第2絵素電極が該信号線に重畳されている構成とすることができる。

【0013】

【作用】本発明のアクティブマトリクス基板では、基板上の付加容量電極と、付加容量電極上に絶縁膜を挟んで対向する第1絵素電極との間に付加容量が形成されるので、付加容量の容量値を大きくすることができる。また、第1絵素電極にはスイッチング素子の出力端子が接続され、第1絵素電極及びスイッチング素子上に形成された層間絶縁膜にはコンタクトホールが形成されている。層間絶縁膜上には第2絵素電極が形成され、第2絵素電極はコンタクトホールを介してスイッチング素子の出力端子に接続されている。従って、第2絵素電極はスイッチング素子に接続されている走査線及び/又は信号線に層間絶縁膜を挟んで重畳形成され得るので、基板の開口率を向上させることが可能となる。

【0014】

【実施例】本発明の実施例について以下に説明する。本実施例のアクティブマトリクス基板の一実施例の平面図を図2に、図2のA-A線に沿った断面図を図1に示す。本実施例のアクティブマトリクス基板は、ガラス等の絶縁性基板1と、基板1上に形成されたTFT13とを有している。図2に示すように、TFT13のゲート電極2はゲートバス配線3に接続され、TFT13のソース電極6はソースバス配線7に接続されている。絵素電極11は下層の第1絵素電極11aと、該第1絵素電極11a上に後述のゲート絶縁膜を挟んで重畳された第2絵素電極11bからなる。第1絵素電極11a及び第2絵素電極11bは共にTFT13のドレイン電極8に接続され、第2絵素電極11bはゲートバス配線3及び20 ソースバス配線7上にも重畳されている。また、第1絵素電極11aにはゲート電極4を挟んで付加容量電極17が対向している。第1絵素電極11aと付加容量電極17との間に付加容量19が形成されている。付加容量電極17は付加容量配線18に接続されている。

【0015】図1及び図2に示すアクティブマトリクス基板の製造方法を、図3～図5に示す。本実施例のアクティブマトリクス基板を製造工程に従って説明する。まず、ガラスからなる絶縁性基板1上に、スパッタリング法により300nmの厚さのTa金属膜を形成し、この

4

金属膜をフォトリソグラフィ法及びエッチングによりパターニングして、ゲートバス配線3及びゲート電極2を形成する。次に、スパッタリング法により80nmの厚さのITO膜を形成し、フォトリソグラフィ法及びエッチングによりパターニングを行って、付加容量電極17及び付加容量配線18を形成する。次に、プラズマCVD法により、400nmの厚さのSiN_xからなるゲート絶縁膜4と、後に半導体層5となる厚さ100nmのa-Si層と、後にコンタクト層9、9となるn⁺型a-Si層とをこの順で連続的に形成する。次に、n⁺型a-Si層とa-Si層のパターニングを行って、コンタクト層9、9及び半導体層5を形成する。

【0016】次に、この基板の全面に、厚さ200nmのMo金属層をスパッタリング法によって形成し、このMo金属層のパターニングを行って、ソース電極6、ドレイン電極8、及びソースバス配線7を形成する。以上により、TFT13が完成する。更に、TFT13を覆って基板1上の全面に、100nmの厚さのITO膜を形成し、パターニングを行って第1絵素電極11aを形成する。本実施例では第1絵素電極11aと付加容量電極17との間に付加容量19が形成される(図3)。

【0017】次に、TFT13及び第1絵素電極11aを形成した基板1上の全面にポリイミド樹脂膜又はアクリル樹脂膜からなる層間絶縁膜10を1μmの厚さに塗布する(図4)。次に、層間絶縁膜10のドレイン電極8に対応する部分にコンタクトホール12を形成する(図5)。更に、層間絶縁膜10及びコンタクトホール12上にITO膜を形成し、パターニングを行って第2絵素電極11bを形成する(図1)。これにより、第2絵素電極11bは層間絶縁膜10に形成されたコンタクトホール12を介してTFT13のドレイン電極8に接続される。また、図2に示すように、第2絵素電極11bはゲートバス配線3及びソースバス配線7に、層間絶縁膜10を挟んで重畳形成される。

【0018】本実施例では、付加容量19を構成する付加容量電極17と第1絵素電極11aとの間には、比較的薄いゲート絶縁膜4のみが存在するので、付加容量19の容量値を大きくすることができる。また、第2絵素電極11bはゲートバス配線3及びソースバス配線7に重畳して形成されているので、この基板の開口率を大きくすることができる。

【0019】本実施例ではスイッチング素子としてTFTを用いた場合について説明したが、他の例えば、MIM(Metal-Insulator-Metal)素子、ダイオード、バリスタ等を用いたアクティブマトリクス基板にも適用することができる。

【0020】

【発明の効果】本発明のアクティブマトリクス基板では、付加容量は絶縁膜を挟んで対向する付加容量電極と第1絵素電極との間に形成されているので、付加容量の

5

容量値を大きくすることができる。従って、本発明のアクティブマトリクス基板を用いて表示装置を構成すれば、高いコントラストの表示画面が得られる。また、絵素電極は層間絶縁膜上に形成された第2絵素電極を有しているので、絵素電極の面積を大きくすることができ、表示装置の開口率を高めることができる。従って、本発明のアクティブマトリクス基板を用いた表示装置では、明るい表示画面が得られる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の一実施例の断面図である。

【図2】図1の基板の平面図である。

【図3】図1及び図2のアクティブマトリクス基板の製造工程を示す断面図である。

【図4】図1及び図2のアクティブマトリクス基板の製造工程を示す断面図である。

【図5】図1及び図2のアクティブマトリクス基板の製造工程を示す断面図である。

【図6】従来のアクティブマトリクス基板の平面図である。

【図7】図6のB-B線に沿った断面図である。

【図8】図6及び図7に示すアクティブマトリクス基板

6

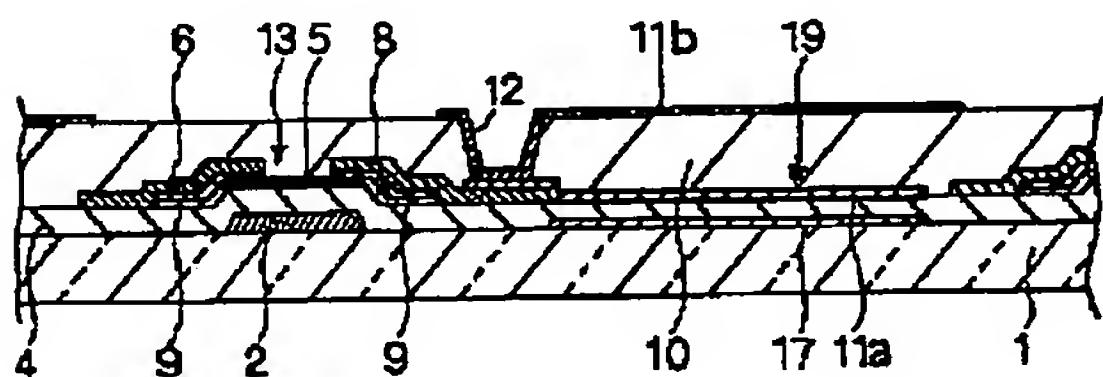
の製造工程を示す図である。

【図9】図6及び図7に示すアクティブマトリクス基板の製造工程を示す図である。

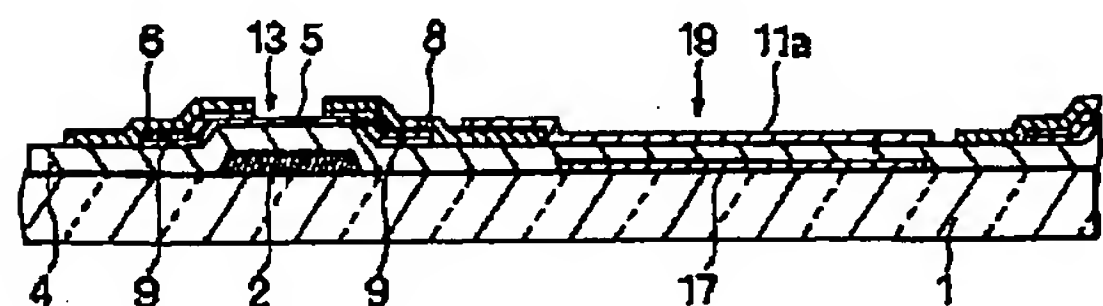
【符号の説明】

- 1 絶縁性基板
- 2 ゲート電極
- 3 ゲートバス配線
- 4 ゲート絶縁膜
- 5 半導体層
- 6 ソース電極
- 7 ソースバス配線
- 8 ドレイン電極
- 9 コンタクト層
- 10 層間絶縁膜
- 11 絵素電極
- 11a 第1絵素電極
- 11b 第2絵素電極
- 12 コンタクトホール
- 13 TFT
- 17 付加容量電極
- 18 付加容量配線
- 19 付加容量

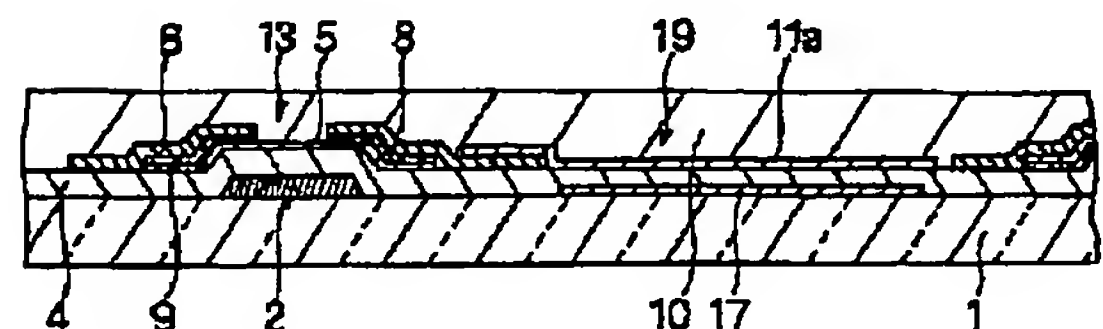
【図1】



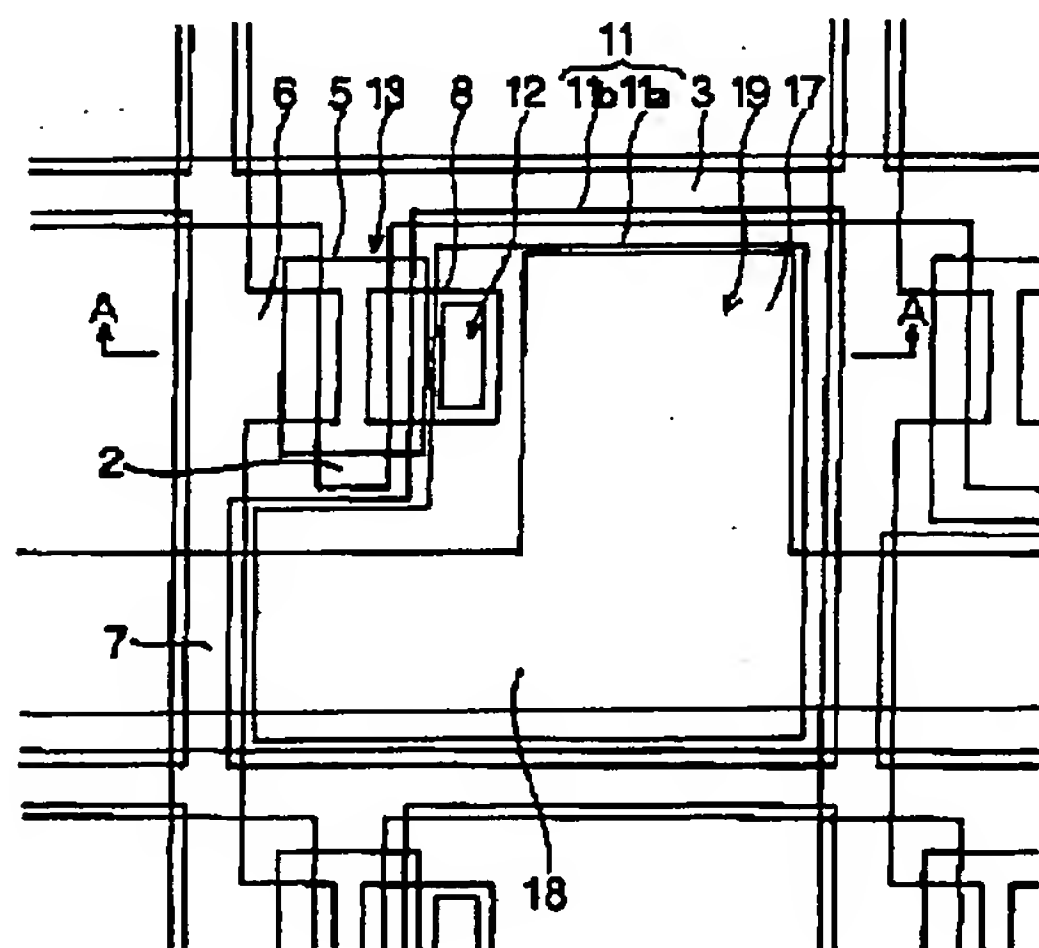
【図3】



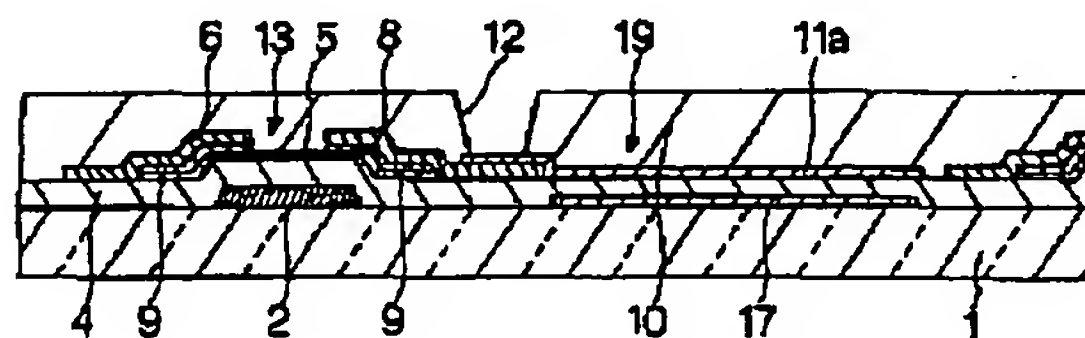
【図4】



【図2】



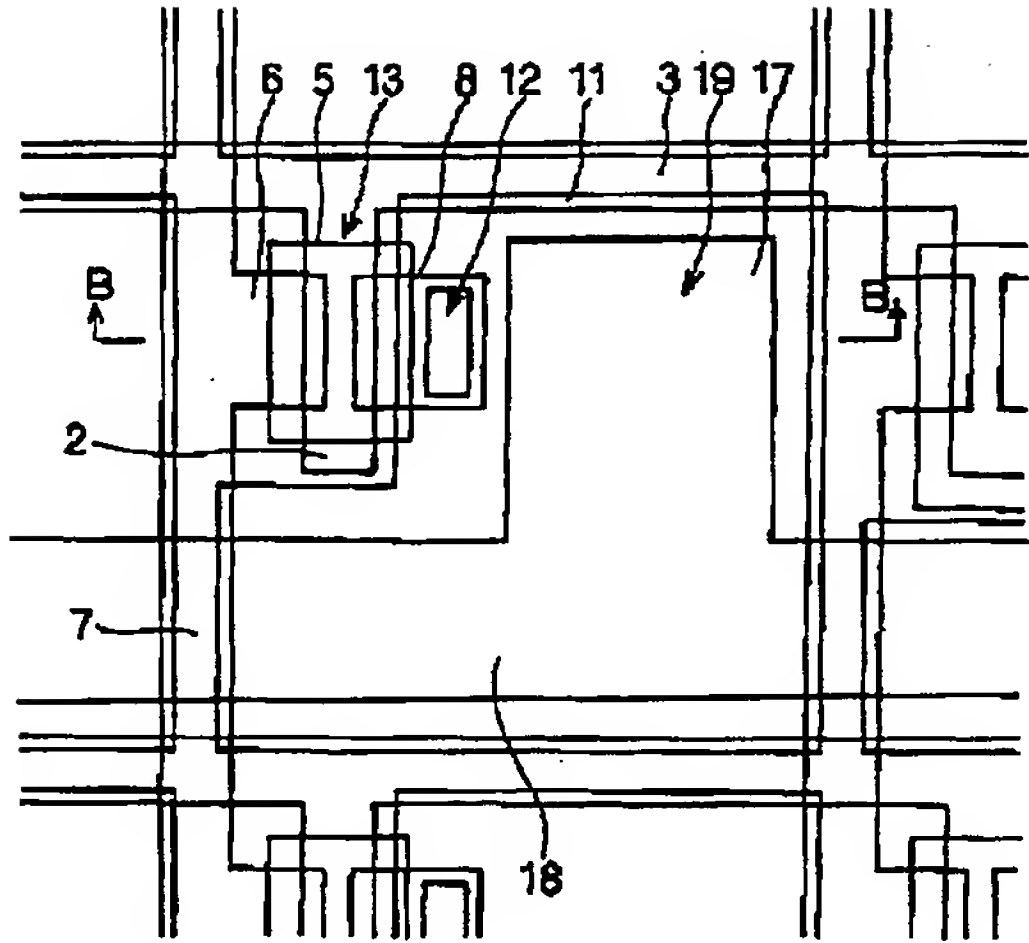
【図5】



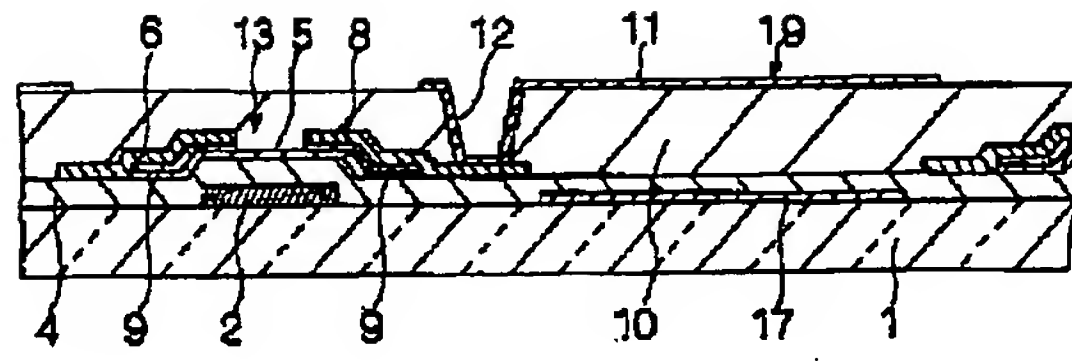
(5)

特開平4-335617

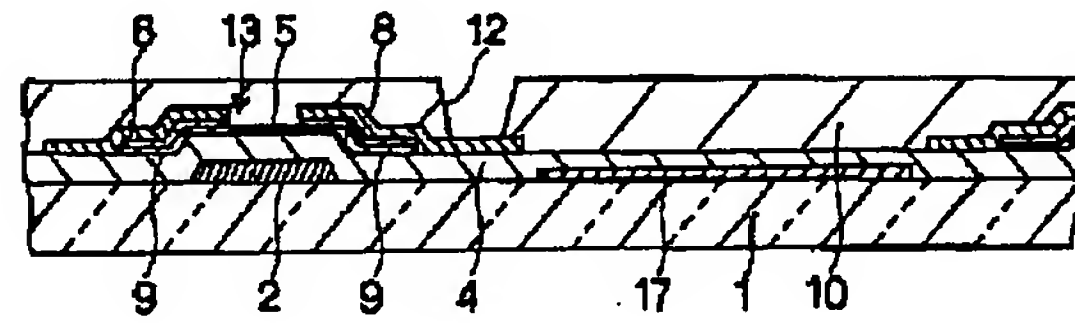
【図6】



【図7】



【図9】



【図8】

